

# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申 請 日：西元 2002 年 12 月 26 日  
Application Date

申 請 案 號：091137416  
Application No.

申 請 人：金麗半導體股份有限公司  
Applicant(s)

局 長

Director General

蔡 練 生

發文日期：西元 2003 年 11 月 26 日  
Issue Date

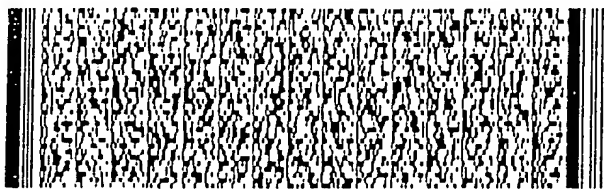
發文字號：09221139970  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中文	記憶單元資料存取方法以及系統
	英文	METHOD AND SYSTEM FOR ACCESSING MEMORY DATA
二、 發明人 (共3人)	姓名 (中文)	1. 葉常征
	姓名 (英文)	1. Yap Chang Cheng
	國籍 (中英文)	1. 馬來西亞 MY
	住居所 (中文)	1. 新竹市科學園區力行三路2號6樓之1
	住居所 (英文)	1. 6-1F., No. 2, Li-Hsin Rd. 3, Science-Based Industrial Park, Hsin Chu, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 金麗半導體股份有限公司
	名稱或姓名 (英文)	1. RDC SEMICONDUCTOR CO., LTD.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹市科學園區力行三路2號6樓之1 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 6-1F., No. 2, Li-Hsin Rd. 3, Science-Based Industrial Park, Hsin Chu, Taiwan, R.O.C.
	代表人 (中文)	1. 陳有諒
	代表人 (英文)	1. Yu Liang CHEN



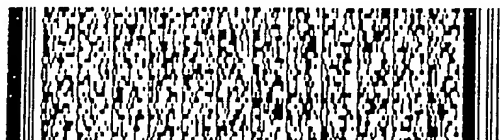
16987.pdf

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共3人)	姓 名 (中文)	2. 謝才俊
	姓 名 (英文)	2. Tsai-Chun HSIEH
	國 籍 (中英文)	2. 中華民國 TW
	住居所 (中 文)	2. 新竹市科學園區力行三路2號6樓之1
	住居所 (英 文)	2. 6-1F., No. 2, Li-Hsin Rd. 3, Science-Based Industrial Park, Hsin Chu, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	

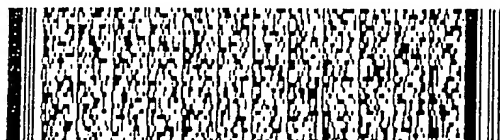


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共3人)	姓名 (中文)	3. 莊世任
	姓名 (英文)	3. Shih-Jen CHUANG
	國籍 (中英文)	3. 中華民國 TW
	住居所 (中文)	3. 新竹市科學園區力行三路2號6樓之1
	住居所 (英文)	3. 6-1F., No. 2, Li-Hsin Rd. 3, Science-Based Industrial Park, Hsin Chu, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或姓名 (中文)	
	名稱或姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	

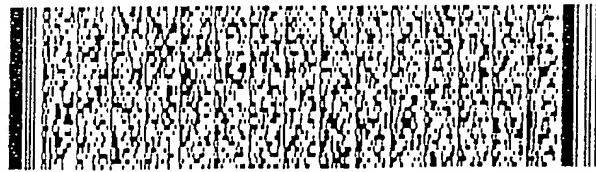
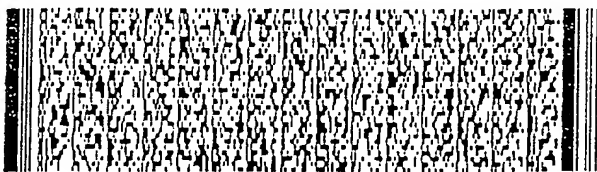


四、中文發明摘要 (發明名稱：記憶單元資料存取方法以及系統)

一種記憶單元資料存取方法以及系統，令一介面單元接收一處理單元所發出之記憶單元讀取要求訊號後，與一非快取記憶緩衝單元進行是否有相符合之記憶單元位址資料的比對。若比對出允符之記憶單元位址資料則讀取之；若無法比對出允符之記憶單元位址資料則發出該記憶單元讀取要求訊號至一仲裁單元以進行記憶單元資料讀取；其次，令該非快取記憶緩衝單元於資料自該記憶單元傳送至該介面單元之過程中，藉由擷取該資料以同步更新儲存資料內容；最後，令該非快取記憶緩衝單元針對所擷取之資料其以下連續記憶單元位址資料預先讀取之，俾增加該處理單元讀取連續資料之速度。此外，令該非快取記憶緩衝單元於該處理單元、其他裝置或模組對該記憶單元進行資料之寫入時，比對所寫入之資料其記憶單元位址是否與其所儲存之資料其記憶單元位址相符，若是，則進行相符記憶單元位址之資料更新。

陸、英文發明摘要 (發明名稱：METHOD AND SYSTEM FOR ACCESSING MEMORY DATA)

A method and a system for accessing memory data are provided. When an interface unit receives a memory accessing request from a processing unit, a non-cacheable memory unit is prompted to conduct a comparison for determining if a memory address corresponds to that in the memory accessing request; if yes, the memory address is retrieved; if no, the memory accessing request is forwarded to



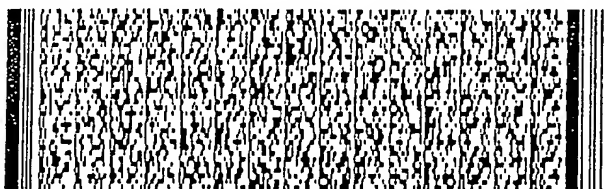
四、中文發明摘要 (發明名稱：記憶單元資料存取方法以及系統)

本案代表圖：第 1 圖

- 1 記憶單元資料存取系統
- 100 記憶單元
- 102 介面單元
- 104 非快取記憶緩衝單元
- 106 仲裁單元
- 110 處理單元
- 112 外接式週邊裝置
- 114 嵌入式週邊裝置
- 2 個人電腦系統

陸、英文發明摘要 (發明名稱：METHOD AND SYSTEM FOR ACCESSING MEMORY DATA)

an arbitration unit for accessing data in a memory unit. During a process for transmitting data from the memory unit to the interface unit, the non-cacheable memory unit retrieves the data to simultaneously update stored data. Moreover, the non-cacheable memory unit pre-reads memory address data following the retrieved data to thereby enhance a data reading speed for the processing



四、中文發明摘要 (發明名稱：記憶單元資料存取方法以及系統)

陸、英文發明摘要 (發明名稱：METHOD AND SYSTEM FOR ACCESSING MEMORY DATA)

unit. In addition, during a process of writing data via the processing unit, other devices or modules into the memory unit, the non-cacheable memory unit determines if a memory address of the written data is identical to that of the stored data; if yes, the stored data are updated by the written data.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。





## 五、發明說明 (1)

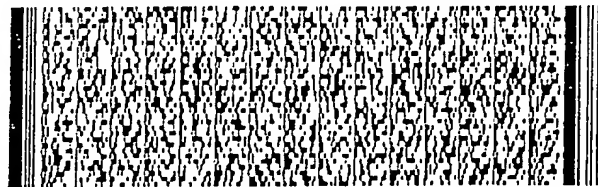
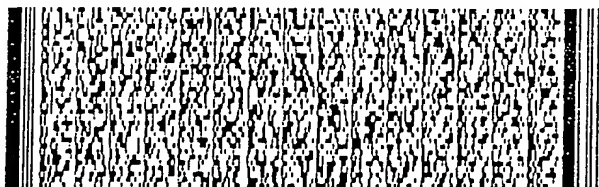
### 【發明所屬之技術領域】

一種記憶單元資料存取方法以及系統，更詳而言之，係有關於一種透過非快取記憶緩衝機制以提昇記憶體資料存取效率之方法與系統。

### 【先前技術】

隨著電子資訊科技之日新月異與蓬勃發展，許多功能強大之電子資訊產品不斷地在功能上推陳出新，如個人電腦、筆記型電腦及其他消費性電子產品等。於此同時，為了滿足使用者於使用該等電子資訊產品時，該等電子資訊產品所能呈現給使用者之資料處理速度的要求，更具體言之，如大量數據資料之計算、複雜的應用程式執行、透過網際網路進行資料之上傳或下載以及撥放多媒體時之影音效果等工作均屬之。

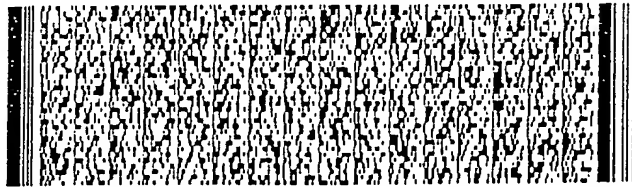
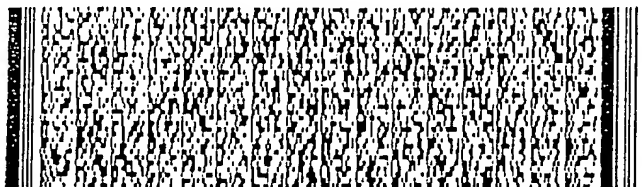
事實上，使用者要達到增加該等電子資訊產品之目的，最為簡便之手段就是針對該等電子資訊產品之硬體設備加以升級，其得例如為中央處理單元處理速度提昇、隨機存取記憶單元容量增加、儲存設備讀取資料速度增加、視訊配接卡或音效配接卡等處理器之處理速度增加甚至整體網路通訊系統架構如資料傳輸頻寬之改善等。不可諱言，上述種種硬體設備功能提昇之手段，對於該等電子資訊產品之處理速度而言，可謂有立竿見影之效。然而相對的，使用者為了達到所謂「硬體升級」之目的，在使用成本上勢必會大幅增加，顯而易見者，純粹的硬體升級並非是一個經濟的解決手段。



## 五、發明說明 (2)

除前述之硬體升級外，另一個廣為使用者採用之解決手段即為「軟體升級」，其得例如為應用程式升級、硬體設備驅動程式升級、介面程式如 DirectX 等之版本升級以及作業系統程式之升級等均屬之。雖然就經濟層面以觀，相較於硬體升級，則軟體升級除應用程式及作業系統程式升級外幾乎無須另外花費成本，因其通常得利用網路下載等方式免費取得升級之軟體內容。惟單就前述之軟體進行升級，往往所得到的效果無法如同硬體升級般的理想。

是故，如何能夠在不增加大量成本之情況下達到增進該等電子資訊產品資料處理速度，乃亟待解決之問題。以個人電腦架構為例，習知技術有針對中央處理單元之資料存取速度加以改進者，如於該中央處理單元內部加入一第一階快取記憶單元 (Level 1 Cache Memory) 以減少對外的資料存取時間，此外，復得於該主機板 (Main Board) 上加入一第二階快取記憶單元 (Level 2 Cache Memory)，亦得達到減少該中央處理單元對外的資料存取時間。然而無論是透過前述何種形式的快取記憶單元增加，於個人電腦系統之運用上尚須面對另一個問題，亦即該中央處理單元須和與該個人電腦系統相互連接之外部裝置或內建於該電腦系統中之內部裝置共同擁有對同一記憶單元區塊資料進行讀寫之權利，此時需要一機制以維持該記憶單元區塊資料之正確性，如構過一監控機制 (snooping)。要言之，即令該中央處理單元執行該記憶單元區塊資料寫入之動作，若該寫入之資料中有與其本身所內建之第一階快



### 五、發明說明 (3)

取記憶單元所儲存之資料記憶單元位址相同，則需使該第一階快取記憶單元內所儲存之資料失效。另一種方法則是將該記憶單元之一特定區塊設定為非快取

(non-cacheable) 區域，要言之，所有對該非快取區塊內之資料有讀寫權利之裝置或單元均不得將該該非快取區塊內之資料寫入本身之快取記憶單元內，俾維持系統資料之一致性。然，若欲讀取該區塊內之資料則必須對該記憶單元進行讀取而無法透過其本身之快取記憶單元，嚴重影響工作之效能。

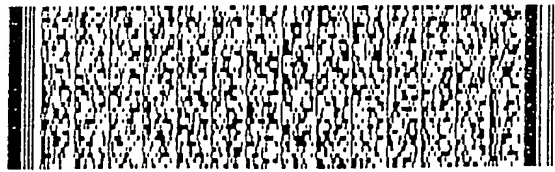
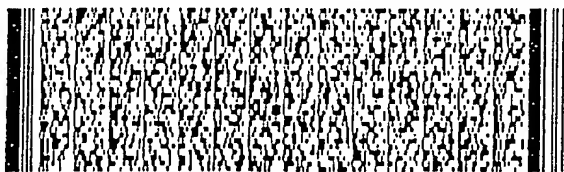
綜上所述，如何能夠在不大幅增加硬體設備之成本之前提下，增加電子資訊產品之工作效能，係一亟待解決之問題。

#### 【發明內容】

為解決上述習知技術之缺點，本發明之主要目的在於提供一種記憶單元資料存取方法以及系統，藉由一非快取記憶緩衝單元機制，減少電子資訊系統內之單元或模組就記憶單元直接讀取資料之次數，俾提昇資料處理之工作效能。

本發明之又一目的在於提供一種記憶單元資料存取方法以及系統，藉由一非快取記憶緩衝單元機制，預先讀取連續之資料至該非快取記憶緩衝單元內，俾提昇資料處理之效能。

根據以上所述之目的，本發明之記憶單元資料存取系統包含有：一用以儲存資料供一電子資訊系統存取且設置

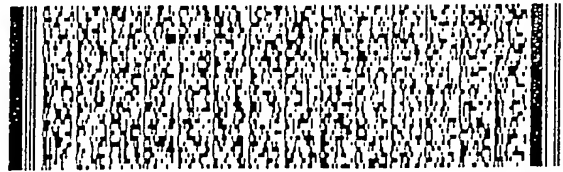


#### 五、發明說明 (4)

有非快取記憶區域 (Non-cacheable Memory Region) 之記憶單元；一用以與處理單元相互連接俾供該處理單元與該電子資訊系統內之單元或模組間進行資料傳輸之介面單元；一用以提供該電子資訊系統內之單元或模組快取該記憶單元中非快取記憶區域資料之非快取記憶緩衝單元；以及一用以於該電子資訊系統內之單元或模組無法自該非快取記憶緩衝單元讀取到所欲讀取之資料時發出資料讀取請求訊號至該記憶單元以讀取資料之仲裁單元。

透過該記憶單元資料存取系統，進行記憶單元資料存取之方法係：首先，令該介面單元接收該處理單元所發出之記憶單元讀取要求訊號後，與該非快取記憶緩衝單元進行是否有相符合之記憶單元位址資料的比對。若比對出允符合之記憶單元位址資料則讀取之；若無法比對出允符合之記憶單元位址資料則發出該記憶單元讀取要求訊號至一仲裁單元以進行記憶單元資料讀取；其次，令該非快取記憶緩衝單元於資料自該記憶單元傳送該介面單元之過程中，擷取該資料藉以同步更新儲存於該非快取記憶緩衝單元內之資料內容；最後，令該非快取記憶緩衝單元針對該擷取資料其以下連續記憶單元位址資料預先讀取之，俾增加該處理單元讀取該連續資料之速度。

此外，令該非快取記憶緩衝單元於該處理單元、其他裝置或模組對該記憶單元進行資料之寫入時，比對該處理單元、其他裝置或模組所寫入之資料其記憶單元位址是否與該處理單元、其他裝置或模組本身所儲存之資料其記憶



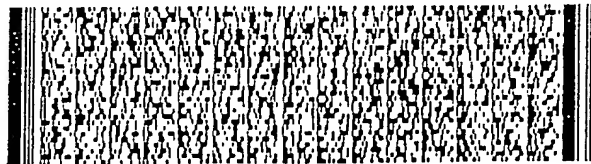
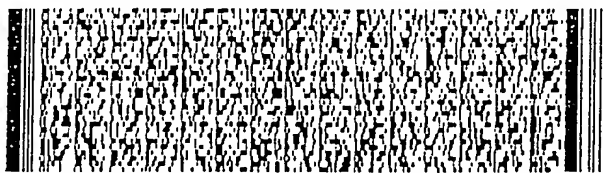
#### 五、發明說明 (5)

單元位址相符，若是，則進行允符該記憶單元位址之資料更新。

相較於習知之記憶單元資料存取方法以及系統，本發明之記憶單元資料存取方法以及系統得藉由一非快取記憶緩衝單元機制，減少電子資訊系統內之單元或模組就記憶單元直接讀取資料之次數，此外，復得預先讀取連續之資料至該非快取記憶緩衝單元內，俾提昇資料處理之工作效能。

#### 【實施方式】

於本實施例中，本發明之記憶單元資料存取方法以及系統1係應用於一個人電腦系統2中。請參閱第1圖，其中顯示該記憶單元資料存取系統1之基本架構，該記憶單元資料存取系統1包含有一記憶單元100、一介面單元102、一非快取記憶緩衝單元104以及一仲裁單元106。此外，該個人電腦系統2，則包含有一用以提供該記憶單元資料存取系統1即該個人電腦系統2之單元或模組擷取、解碼及執行指令之功能，並得透過資料傳輸路徑如匯流排等自其他資源處傳遞及接收資訊之處理單元110；一透過如纜線等資料傳輸介面用以與該個人電腦系統2相互連接以進行資料傳輸且具有資料處理功能之外接式週邊裝置112；以及一建構於該個人電腦系統2內用以執行資料處理之嵌入式週邊裝置114。須特別說明者，係該個人電腦系統2實際上應包含更多之單元或裝置，以維其正常運作所需，然礙於篇幅，故本實施例中僅提及與本發明之記憶單元資料存取



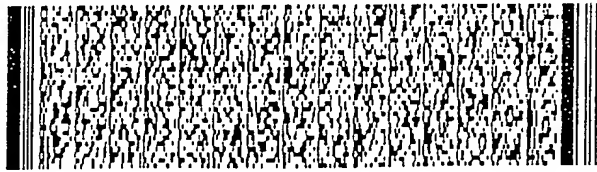
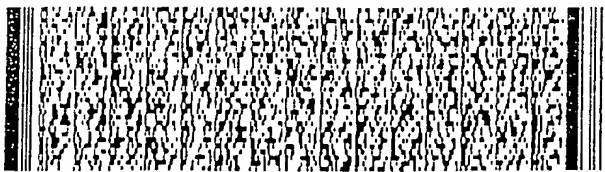
##### 五、發明說明 (6)

系統 1 運作有關之部分，核先敘明。

該記憶單元 100 係接受該處理單元 110 之控制，為該個人電腦系統 2 之主要資料儲存區域，用以暫存指令和資料。於本實施例中，該記憶單元 100 係一隨機存取記憶體 (Random Access Memory ; RAM)，性質上為一揮發性且可讀可寫的記憶單元。該記憶單元 100 得提供該處理單元 110 自鍵盤或滑鼠等的輸入單元讀取指令，幫助該處理單元 110 將資料寫入一儲存單元，俾作為進行資料存取之用。此外，復得主動將資料傳送至輸出裝置，例如印表機、顯示單元等。

該介面單元 102 係用以與該處理單元 110 相互連接，於接收該處理單元 110 所發送之訊號後，如對該記憶單元 100 之資料讀取要求訊號等，再依據該處理單元 100 所發出之訊號內容，發送一訊號至相應於該訊號內容且與該介面單元 102 相互連接之單元或模組，藉以進行資料傳輸工作。

該非快取記憶緩衝單元 104 係作為該記憶單元 100 內非快取記憶區域之快取資料儲存機制用。於本實施例中，該記憶單元 100 中設定有一特定區域為非快取記憶區域，該記憶單元資料存取系統 1 及該個人電腦系統 2 之模組或單元均不得將儲存於該非快取記憶區域內之資料儲存至其本身之快取記憶單元中，設該處理單元 110 內建有一第一階快取記憶單元，則該處理單元 110 不得將儲存於該非快取記憶區域內之資料儲存至該第一階快取記憶單元中。上述機制之目的在於得以維持該記憶單元資料存取系統 1 及該個

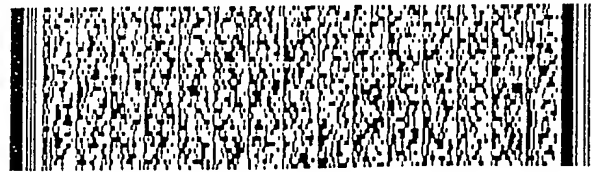
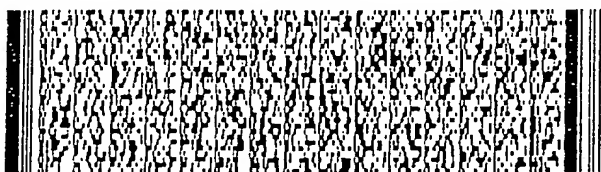


##### 五、發明說明 (7)

人電腦系統 2 系統資料之一致性。惟為避免前述之各該模組或單元只得透過該記憶單元 100 方能讀取該非快取記憶區域內之資料，進而造成資料讀取時間之延遲，是故該非快取記憶緩衝單元 104 之機制相形重要。

須特別說明者，該非快取記憶緩衝單元 104 係用以於該介面單元 102 依據該處理單元 110 所發出記憶單元讀取要求，與該介面單元 102 進行是否有符合該讀取要求之記憶單元資料位址之比對。若比對相符，則供該介面單元 102 進行資料讀取，俾增加該處理單元 110 讀取非快取記憶區域內資料之效能。且由於該非快取記憶緩衝單元 104 之資料登入 (entry) 數遠低於該非快取記憶區域之總數，故所需之硬體相對於一般之第一階快取記憶體及第二階快取記憶體更為減省，亦即無須浪費大量之成本即可獲得系統工作效能之提昇。

此外，為維持該非快取記憶緩衝單元 104 內所儲存之資料與該記憶單元 100 內所儲存之資料具有一致性。則當該記憶單元資料存取系統 1 及該個人電腦系統 2 之模組或單元，如前述之該外接式週邊裝置 112 及該嵌入式週邊裝置 114 等，對該記憶單元 100 進行資料寫入時，該非快取記憶緩衝單元 104 即進行該所寫入之資料位址與其本身所儲存之資料位址進行比對，若有比對相符之資料位址，則與該記憶單元 100 內之資料進行同步更新，此時即得確保該處理單元 110 針對該記憶單元位址之資料進行讀取時，可從該非快取記憶緩衝單元 104 讀取到最新的資料內容。



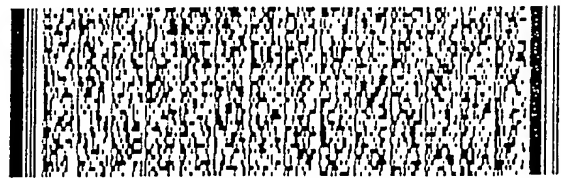
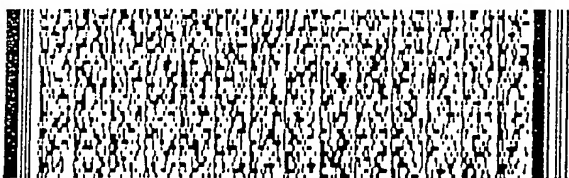
##### 五、發明說明 (8)

該仲裁單元 106係用以提供該記憶單元資料存取系統 1及該個人電腦系統 2之模組或單元對於該記憶單元 100所發出之資料讀取請求進行系統資源分配之機制。於本實施例中，該處理單元 110、該外接式週邊裝置 112及該嵌入式週邊裝置 114等，若同時對該記憶單元 100發出資料讀取之請求，則該仲裁單元 106會針對各該模組或單元所發出之請求就現有之系統資源進行分配。

承前所述，須特別說明者，係當該處理單元 110所發出之記憶單元讀取要求之資料未儲存於該非快取記憶緩衝單元 104中，則該介面單元 102隨即發出記憶單元讀取要求至該仲裁單元 106，藉以讓該記憶單元 100將資料傳送至該介面單元 102。於該資料傳輸之過程中，該非快取記憶緩衝單元 104得提供一監控 (Snooping) 機制，亦即在資料傳輸之過程中同步更新該非快取記憶緩衝單元 104內之資料內容。此外，復就該處理單元 110所請求讀取之資料其以下連續記憶單元位址資料預先自該記憶單元 100中加以讀取並儲存於該非快取記憶緩衝單元 104中，則該處理單元 110即得自該非快取記憶緩衝單元 104中讀取所需之資料，而無須至該記憶單元 100讀取資料，以節省資料讀取時間增加系統工作效能。

透過該記憶單元資料存取系統 1，於實施該記憶單元資料存取方法之步驟係如下所述：

請參閱第 2 (A) 圖，其中顯示該處理單元 110透過該記憶單元資料存取系統 1執行記憶單元資料讀取之流程步





## 五、發明說明 (9)

驟。

於步驟 S201 中，令該介面單元 102 接收該處理單元 110 所發出之記憶單元讀取要求訊號後，與該非快取記憶緩衝單元 104 進行是否有相符合之記憶單元位址資料的比對，若否，則進至步驟 S202；若是，則進至步驟 S205。

於步驟 S202 中，若無法比對出允符之記憶單元位址資料則發出該記憶單元讀取要求訊號至一仲裁單元 106 以進行記憶單元資料讀取，接著進行步驟 S203。

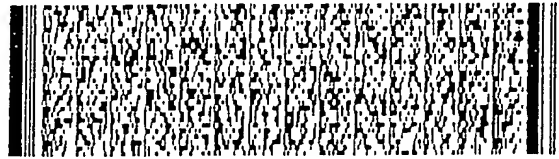
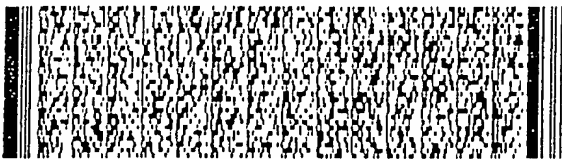
於步驟 S203 中，令該非快取記憶緩衝單元 104 於資料自該記憶單元 100 傳送該介面單元 102 之過程中，擷取該資料藉以同步更新儲存於該非快取記憶緩衝單元 104 內之資料內容，接著進行步驟 S204。

於步驟 S204 中，令該非快取記憶緩衝單元 104 針對該擷取資料其以下連續記憶單元位址資料預先讀取之，俾增加該處理單元 110 讀取該連續資料之速度。

於步驟 S205 中，就比對出允符之記憶單元位址資料讀取之。

請參閱第 2 (B) 圖，其中顯示本發明之記憶單元資料存取系統 1 於資料傳輸過程中預先就該非快取記憶緩衝單元 104 內之資料進行更新之流程步驟。

首先，於步驟 S211 中，令該非快取記憶緩衝單元 104 於該處理單元 110 或其他裝置或模組，如該外接式週邊裝置 112 及該嵌入式週邊裝置 114 等，對該記憶單元 100 進行資料之寫入時，比對該處理單元 110 或該外接式週邊裝置

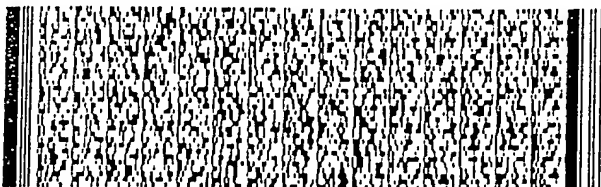


五、發明說明 (10)

112及該嵌入式週邊裝置 114等所寫入之資料其記憶單元位址是否與該處理單元 110或該外接式週邊裝置 112及該嵌入式週邊裝置 114等本身所儲存之資料其記憶單元位址相符，若是，則進至步驟 S212；若否，則結束流程。

於步驟 S212中，進行允符該記憶單元位址之資料更新。

以上所述僅為本發明之記憶單元資料存取方法以及系統之較佳實施例，非用以限定本發明之實質技術內容之範圍。本發明之記憶單元資料存取方法以及系統其實質技術內容係廣義地定義於下述之申請專利範圍中，任何他人所完成之技術實體或方法，若與下述之申請專利範圍所定義者完全相同，或為等效之變更，均將被視為涵蓋於此專利範圍之中。



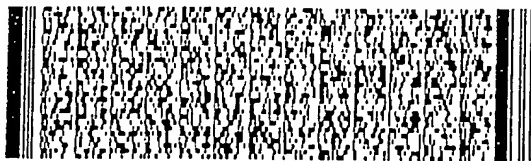
圖式簡單說明

【圖式簡單說明】

第 1 圖係一基本架構示意圖，用以顯示該記憶單元資料存取系統之基本架構；以及

第 2(A)及 2(B)圖係一流程圖，用以顯示本發明之記憶單元資料存取方法於執行記憶單元資料存取之流程。

- 1 記憶單元資料存取系統
- 100 記憶單元
- 102 介面單元
- 104 非快取記憶緩衝單元
- 106 仲裁單元
- 110 處理單元
- 112 外接式週邊裝置
- 114 嵌入式週邊裝置
- 2 個人電腦系統



## 六、申請專利範圍

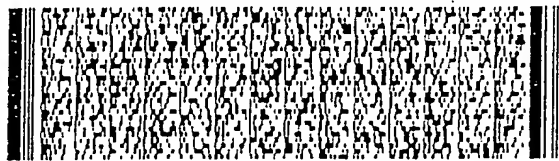
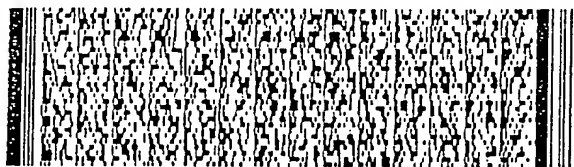
1. 一種記憶單元資料存取方法，係提供一電子資訊系統中記憶單元非快取記憶區域內資料儲存之緩衝機制，以增加其資料處理效能，該記憶單元資料存取方法包含：

令一介面單元接收一處理單元所發出之記憶單元讀取要求訊號後，與一非快取記憶緩衝單元進行是否有相符合之記憶單元位址資料的比對，若無法比對出允符之記憶單元位址資料則發出該記憶單元讀取要求訊號至一仲裁單元以進行記憶單元資料讀取；

令該非快取記憶緩衝單元於資料自該記憶單元傳送至該介面單元之過程中，擷取該資料藉以同步更新儲存於該非快取記憶緩衝單元內之資料內容；以及

令該非快取記憶緩衝單元針對該擷取資料其以下連續記憶單元位址資料預先讀取之，俾增加該處理單元讀取該連續資料之速度。

2. 如申請專利範圍第1項之方法，其中，當比對出允符之記憶單元位址資料則進行資料讀取。
3. 如申請專利範圍第1項之方法，其中，該電子資訊系統可為個人電腦、筆記型電腦、掌上型電腦、個人數位助理、伺服器以及工作站其中任一者。
4. 如申請專利範圍第1項之方法，其中，該記憶單元可為靜態隨機存取記憶單元、動態隨機存取記憶單元、同步動態隨機存取記憶單元及高倍速資料傳輸同步動態隨機存取記憶單元其中任一者。



六、申請專利範圍

5. 如申請專利範圍第 1 項之方法，其中，該處理單元可為一中央處理單元及微處理單元其中任一者。

6. 一種記憶單元資料存取方法，係提供一電子資訊系統中記憶單元非快取記憶區域內資料儲存之緩衝機制，以增加其資料處理效能，該記憶單元資料存取方法包含：

令一非快取記憶緩衝單元於該電子資訊系統中之一處理單元、裝置及模組其中任一者對該記憶單元進行資料之寫入時，比對該處理單元、裝置及模組其中任一者所寫入之資料其記憶單元位址是否與該處理單元、裝置及模組其中任一者本身所儲存之資料其記憶單元位址相符；以及

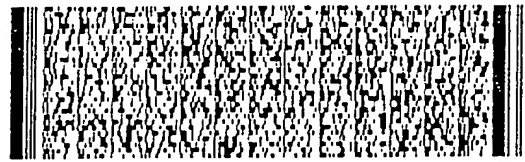
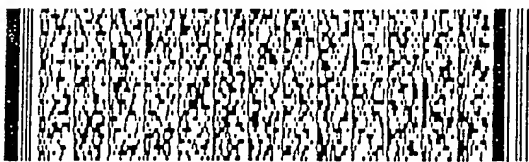
令該非快取記憶緩衝單元於比對相符時進行允許該記憶單元位址之資料更新。

7. 如申請專利範圍第 6 項之方法，其中，該電子資訊系統可為個人電腦、筆記型電腦、掌上型電腦、個人數位助理、伺服器以及工作站其中任一者。

8. 如申請專利範圍第 6 項之方法，其中，該記憶單元可為靜態隨機存取記憶單元、動態隨機存取記憶單元、同步動態隨機存取記憶單元及高倍速資料傳輸同步動態隨機存取記憶單元其中任一者。

9. 如申請專利範圍第 6 項之方法，其中，該處理單元可為一中央處理單元及微處理單元其中任一者。

10. 如申請專利範圍第 6 項之方法，其中，該裝置可為外接



#### 六、申請專利範圍

式週邊裝置及內嵌式週邊裝置其中任一者。

11. 如申請專利範圍第6項之方法，其中，該模組可為外接式週邊裝置及內嵌式週邊裝置其中任一者。

12. 一種記憶單元資料存取系統，係提供一電子資訊系統中記憶單元非快取記憶區域內資料儲存之緩衝機制，以增加其資料處理效能，該記憶單元資料存取系統包含：

一記憶單元，其係用以儲存資料供該電子資訊系統存取且設置有一非快取記憶區域；

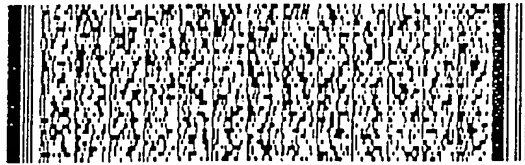
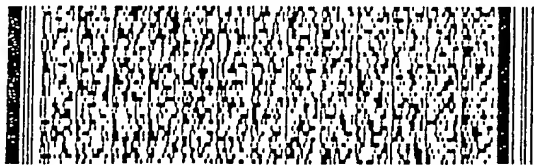
一介面單元，其係用以與一處理單元相互連接俾供該處理單元與該電子資訊系統內之單元及模組其中任一者間進行資料傳輸；

一非快取記憶緩衝單元，其係用以提供該電子資訊系統內之單元及模組其中任一者間快取該記憶單元中非快取記憶區域資料；以及

一仲裁單元，其係用以於該電子資訊系統內之單元及模組其中任一者間無法自該非快取記憶緩衝單元讀取到所欲讀取之資料時發出資料讀取請求訊號至該記憶單元以讀取資料。

13. 如申請專利範圍第12項之系統，其中，該電子資訊系統可為個人電腦、筆記型電腦、掌上型電腦、個人數位助理、伺服器以及工作站其中任一者。

14. 如申請專利範圍第12項之系統，其中，該記憶單元可為靜態隨機存取記憶單元、動態隨機存取記憶單元、



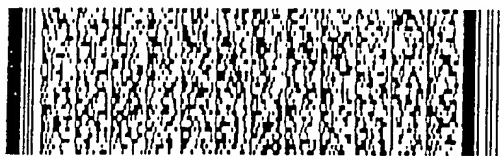
六、申請專利範圍

同步動態隨機存取記憶單元及高倍速資料傳輸同步動態隨機存取記憶單元其中任一者。

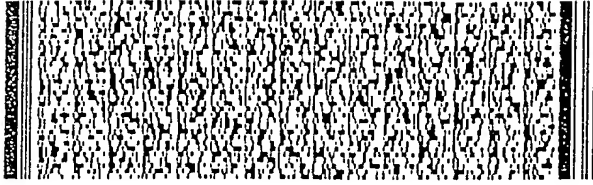
15. 如申請專利範圍第12項之系統，其中，該處理單元可為一中央處理單元及微處理單元其中任一者。

16. 如申請專利範圍第12項之系統，其中，該電子資訊系統內之單元可為外接式週邊裝置及內嵌式週邊裝置其中任一者。

17. 如申請專利範圍第12項之系統，其中，該電子資訊系統內之模組可為外接式週邊裝置及內嵌式週邊裝置其中任一者。



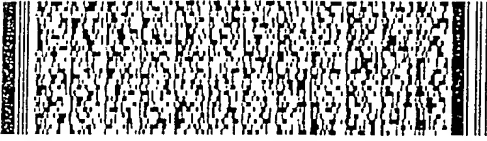
第 1/22 頁



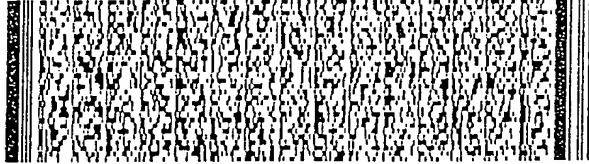
第 2/22 頁



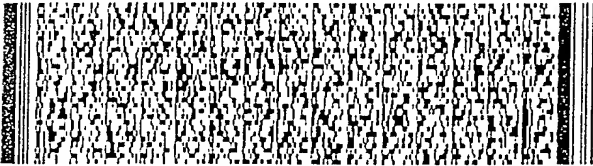
第 3/22 頁



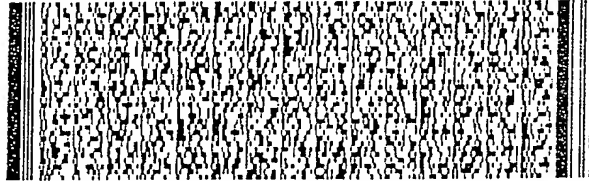
第 4/22 頁



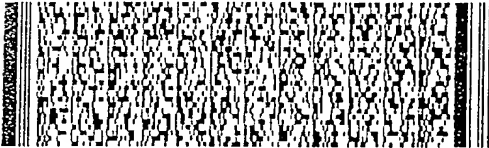
第 4/22 頁



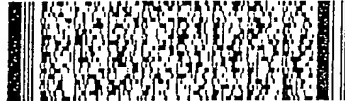
第 5/22 頁



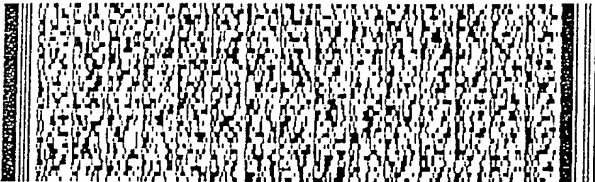
第 6/22 頁



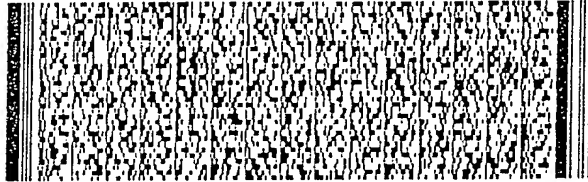
第 7/22 頁



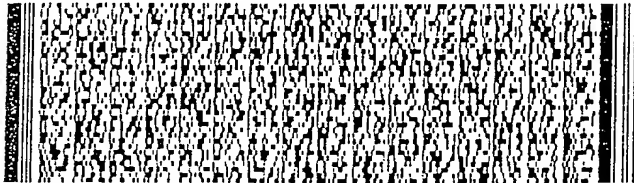
第 8/22 頁



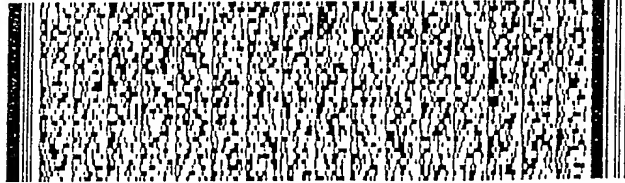
第 8/22 頁



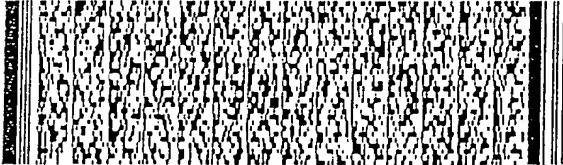
第 9/22 頁



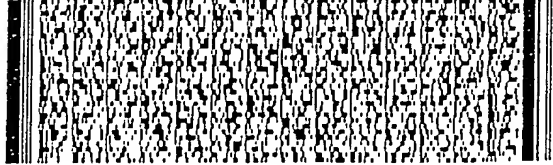
第 9/22 頁



第 10/22 頁



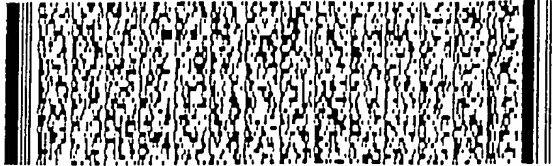
第 10/22 頁



第 11/22 頁

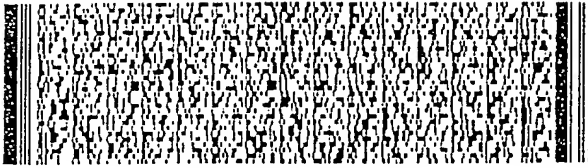


第 11/22 頁

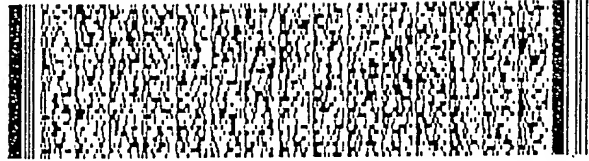




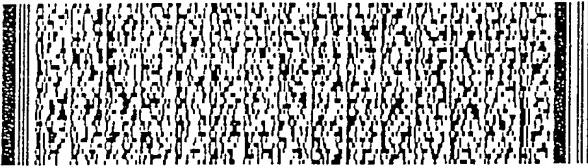
第 12/22 頁



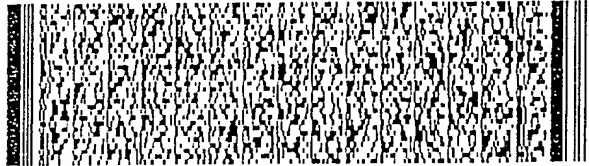
第 12/22 頁



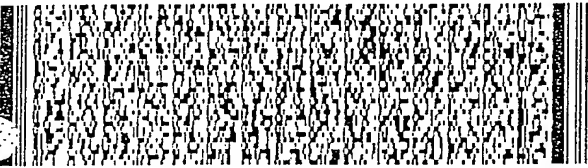
第 13/22 頁



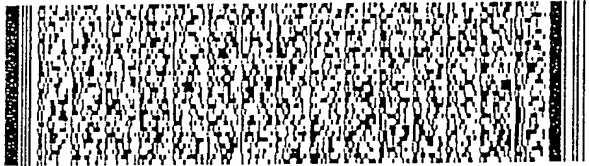
第 13/22 頁



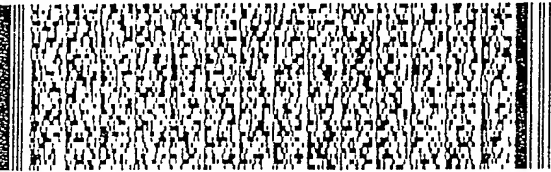
第 14/22 頁



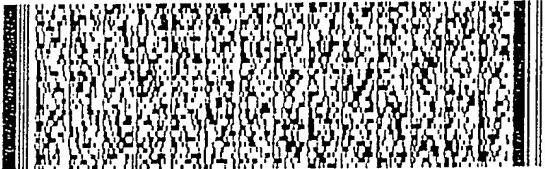
第 14/22 頁



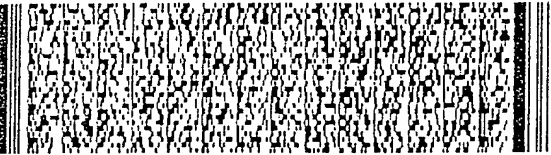
第 15/22 頁



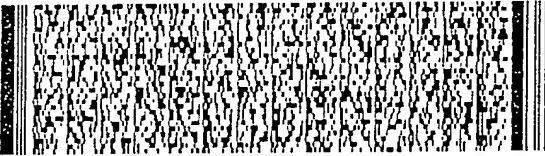
第 15/22 頁



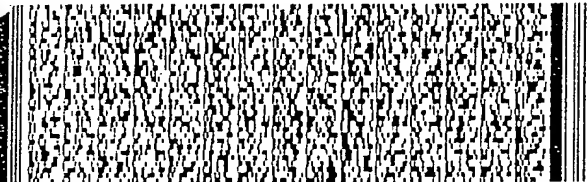
第 16/22 頁



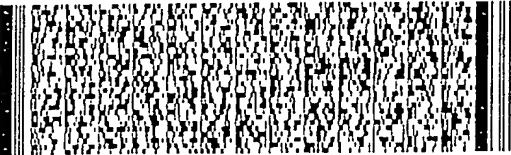
第 16/22 頁



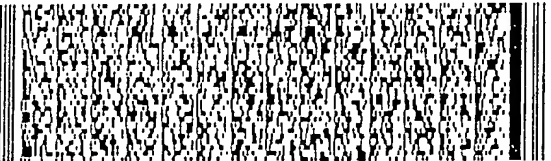
第 17/22 頁



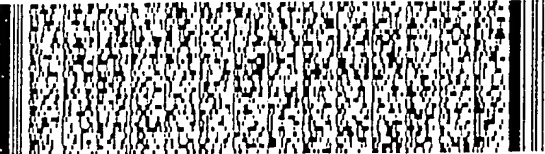
第 18/22 頁



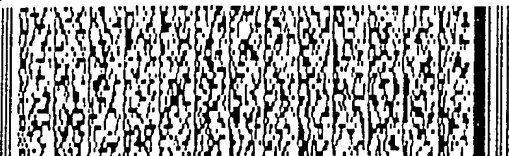
第 19/22 頁



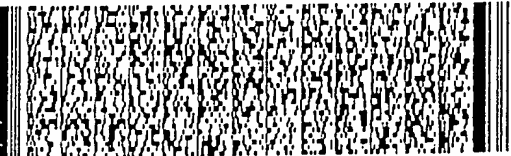
第 19/22 頁



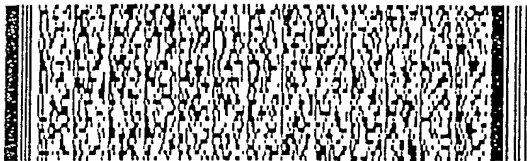
第 20/22 頁



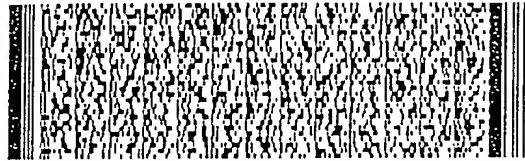
第 20/22 頁



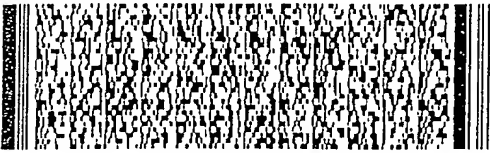
第 21/22 頁

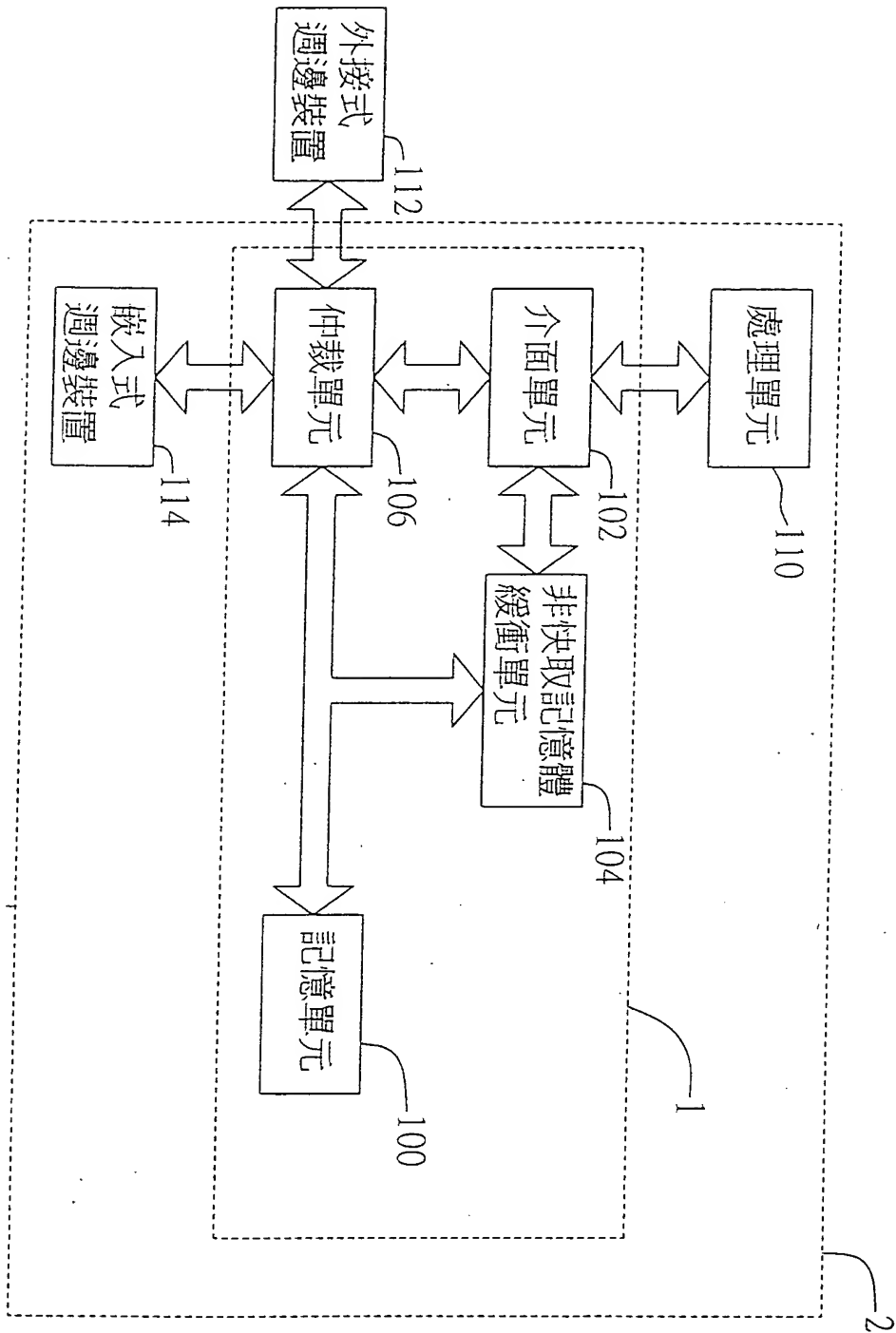


第 21/22 頁

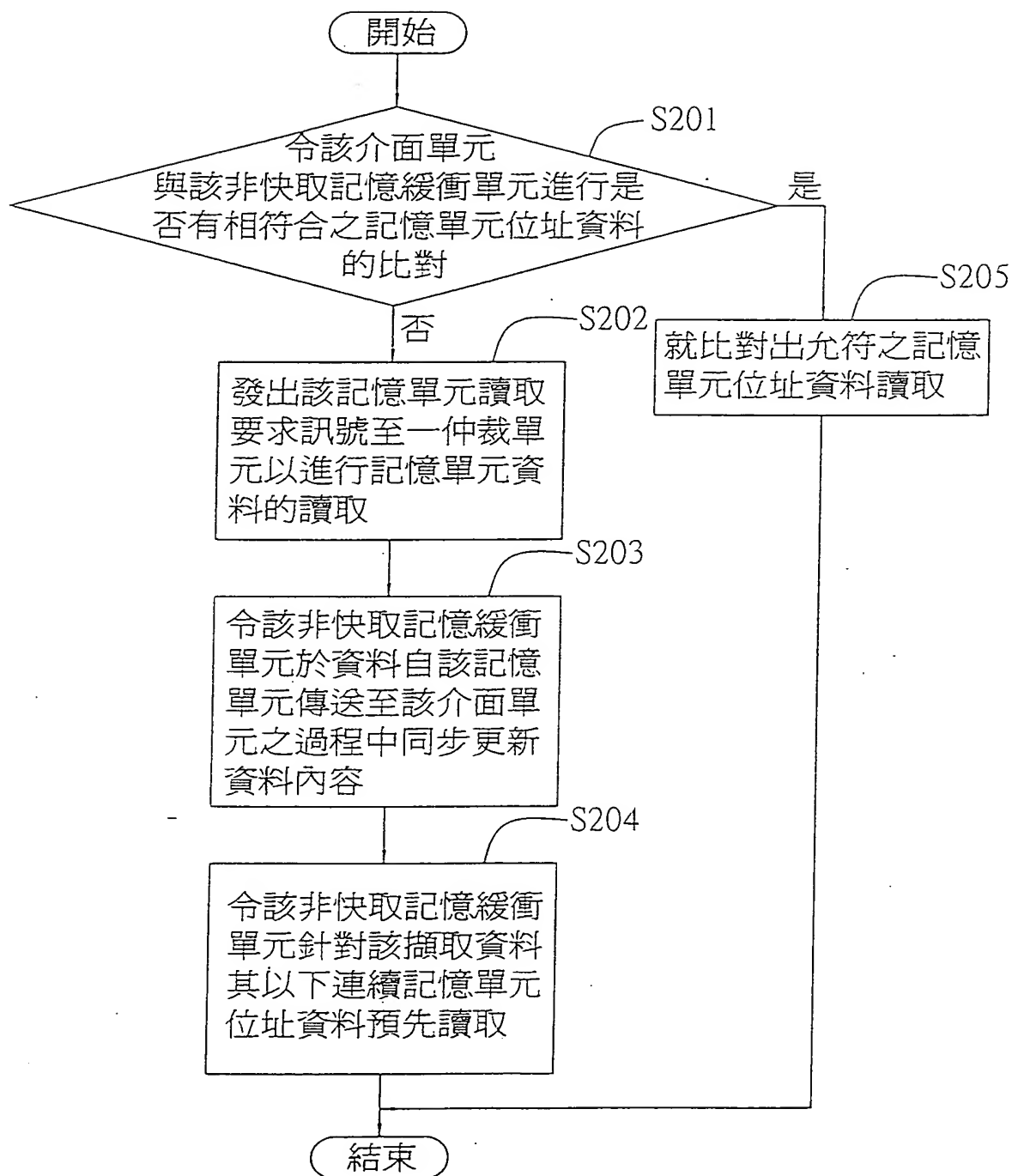


第 22/22 頁

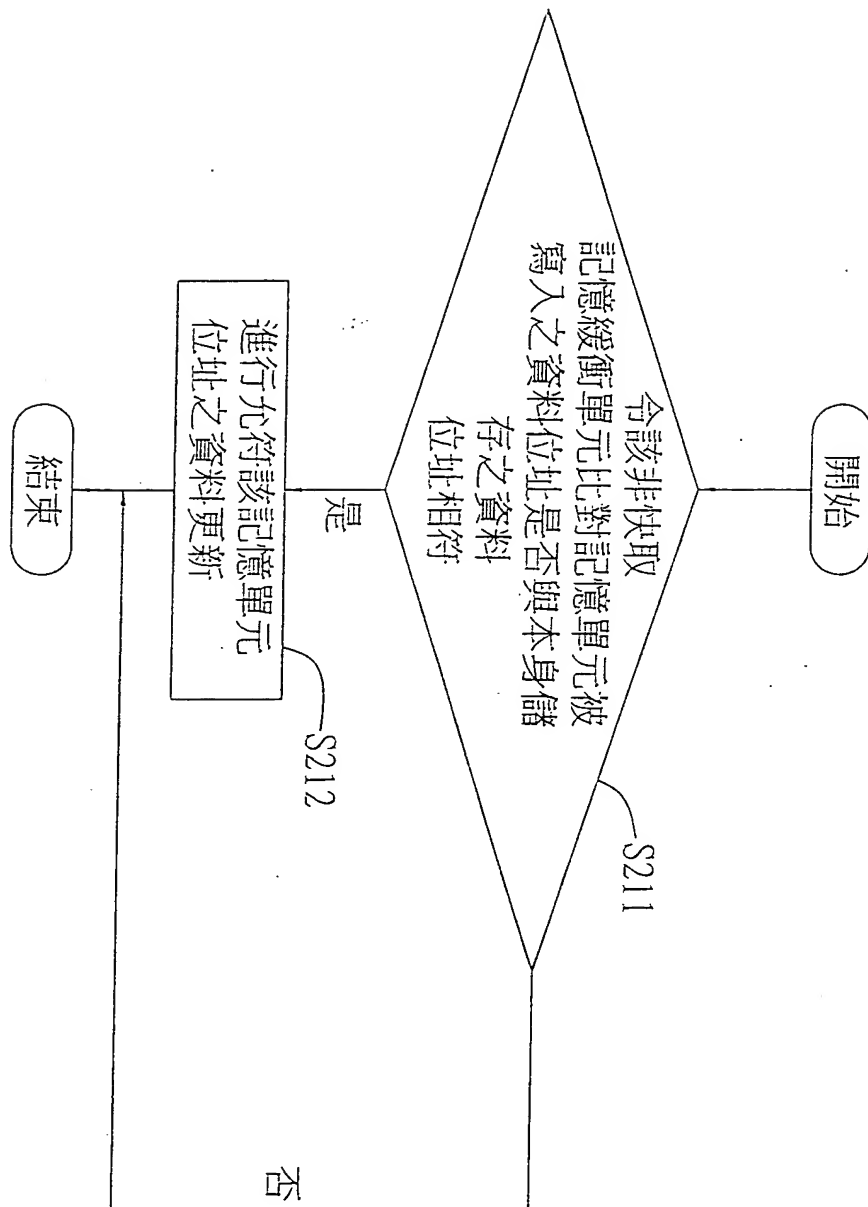




第 1 圖 (代表圖)



第 2(A) 圖



第 2(B) 圖